

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-257860

(43)Date of publication of application : 25.10.1988

(51)Int.Cl.

G06F 13/38

G06F 13/00

H04L 7/04

H04L 13/00

(21)Application number : 62-093662

(71)Applicant : NEC CORP

(22)Date of filing : 15.04.1987

(72)Inventor : MATSUSHIMA OSAMU  
MAEHASHI YUKIO

## (54) SERIAL DATA PROCESSOR

### (57)Abstract:

**PURPOSE:** To perform the transfer of serial data at high speed, by driving a serial data line with a push-pull operation in transferring the serial data, and setting the data line at a high impedance state after sending the data.

**CONSTITUTION:** A serial clock generated from a clock source 111A drives the P-channel transistor (PCHTr) of an output buffer 122A. Meanwhile, the output of a NOR gate 114A drives the NCHTr of the output buffer 122A. Therefore, when the data is set at an H level, the PCHTr is turned on, and the NCHTr is turned off, and when the data is set at L level, the PCHTr is turned off, and the NCHTr is turned on, then, push-pull driving is performed. On the data line, transition in a high and a low directions can be performed at high speed. Therefore, it is possible to increase the transfer speed of the serial data up to around 1MHz, and simultaneously, to perform the transfer of information such as the confirmation of the reception, etc., by using the serial data line.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-257860

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月25日

G 06 F 13/38  
13/00  
H 04 L 7/04  
13/00

3 5 0  
3 0 1  
3 0 7

8840-5B  
J-7230-5B  
B-6914-5K  
D-7240-5K

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 シリアルデータ処理装置

⑯ 特 願 昭62-93662

⑰ 出 願 昭62(1987)4月15日

⑱ 発 明 者 松 嶋 修 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 発 明 者 前 橋 幸 男 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
㉑ 代 理 人 弁理士 内 原 晋

## 明 細 書

### 1. 発明の名称

シリアルデータ処理装置

### 2. 特許請求の範囲

単一のデータラインと、単一のクロックラインに接続され、前記クロックライン上のクロックに同期して動作するシフトレジスタと、該シフトレジスタの出力を前記データラインに直列に出力する出力バッファとを有し、前記データラインはプッシュ・プル駆動とオープン・ドレイン駆動とを選択的に指示することにより制御されることを特徴とするシリアルデータ処理装置。

### 3. 発明の詳細な説明

(産業上の利用分野)

本発明はシリアルデータ処理装置に関し、特に単一のクロックラインと単一のデータラインとの2本の信号線を用いてクロックに同期してデータ

の送受信を行なうシリアルデータ処理装置に関する。

(従来の技術)

複数の半導体処理チップ(例えばマイクロプロセッサチップ)間でデータ転送を行なう場合、8ビットあるいは16ビットのデータをパラレルに転送する方法と、1本のデータラインを用いて複数ビットのデータを1ビットずつシリアルに転送する方法とがある。とくに、後者はチップ間を接続する信号線の数が少なくてよいので配線が簡単で、しかもチップコストが安くなるという利点がある。尚期して受信側LSI402に出力する。シリアルデータはシリアルデータライン404、シリアルクロックはシリアルクロックライン403を用いて伝達する。この際、シリアルデータ転送に供わるLSIは送受信動作の信頼性を向上するためデータを正常受信した時には、受信確認信号(以下、ACK信号という。)を送信側LSIに出力することが良く行なわれる。

ACK信号は専用の信号線をLSI間に接続し、

## 特開昭63-257860(2)

伝達する方法があるが、多数のシリアルデータ処理装置が同一のデータライン及びクロックラインに接続されているような場合は配線数が膨大となるため、シリアルデータラインを外部の抵抗405でプルアップし、各シリアルデータ処理装置の出力バッファ406、407をプルダウントランジスタだけのオープンドレイン（又はオープンコレクタ。以下、オープンドレインという記述はオープンコレクタを含むものとする。）形成とし、ACK信号をシリアルデータラインを経由して伝達するのが一般的である。第5図に従来のオープンドレイン形式のシリアルデータ転送のタイミングを示す。図中502はシリアルデータラインにプルアップ抵抗が付加されている場合の送信側LSIの出力波形で、シリアルクロック501の立下りに同期してデータが変化する。ここでロウレベルは出力バッファのプルダウントランジスタで駆動し、ハイレベルはプルアップ抵抗により生成する。8ビットのデータシフトが終了すると、送信側LSIの出力バッファはオフし、プルアップ抵抗により

データラインはハイレベルまで引き上げられる。受信側LSI ACK信号503は8ビットのシリアルデータを正常受信すると、シリアルクロック501の立下りに同期して出力されるものである。実際のシリアルデータライン上の波形は送信側LSIデータ出力502と受信側LSI ACK出力503を合成したもので、図中シリアルデータライン504で示した信号波形となる。送信側LSIはシリアルデータラインがロウレベルとなるのでACK信号として検出することができる。

〔発明が解決しようとする問題点〕

従来のシリアルデータ処理装置には出力バッファ回路に次のような問題があった。すなわち、オープンドレイン形式の出力バッファを用いたシリアルデータラインは、ロウレベルは出力バッファトランジスタをオンすることによってライン上の電荷をトランジスタを介して接地におとすことで設定されるが、ハイレベルはトランジスタをオフにしてラインに外付けしたプルアップ抵抗を介してラインに電荷をチャージしなければならないの

でデータラインのハイレベルへの立上りが遅く、そのためシリアルデータ転送速度を速くすることができないという大きな欠点を有している。シリアルデータ転送はマルチプロセッサ構成の分散処理化が進んでいる現在では主流となりつつあるが、オープンドレイン形式のシリアルデータラインでは、たとえば100KHz程度のスピードしか出せず、応用システム全体の効率低下を招いていた。

一方、高速のシリアルデータ転送が不可欠な場合にはシリアルデータラインをプッシュプル形式の出力バッファでドライブすれば、ハイレベルへの遷移も高速に行なうことができるようになるが、プッシュプルドライブではシリアルデータラインを双方向に使用することができない。データ受信完了を示す信号（ACK信号）を受信側から送信側に送るに当たって、データラインを使うことができないため、別に専用のACK信号線をLSI間に接続しなければならず、貴重なLSI端子を余分に消費するだけでなく、信号線の布線等による応用システムのコスト上昇を招くという欠点を

有していた。

〔問題点を解決するための手段〕

本発明は単一のデータラインと単一のクロックラインに接続され、前記クロックライン上のクロックに同期して動作するシフトレジスタと、シフトレジスタ出力を順次データラインに出力する出力バッファとを有するシリアルデータ処理装置において、前記クロックライン上のクロックを計数し、所定数のクロックを計数するまでは前記出力バッファをプッシュプル駆動し、所定数計数後は出力バッファをハイインピーダンスとするクロック計数手段と、クロック計数手段により制御されるデータラインレベル保持手段とを有する。

〔実施例1〕

第1図に本発明の第1の実施例を用いたシリアルデータ処理装置A、Bの間でシリアルデータ転送を行なう動作を説明する。ここではシリアルデータ処理装置A及びBに送受信モード指定機構をもたせ、A、Bは全く同じ構成としている。各シリアルデータ処理装置は、シリアルデータ入出力端子

## 特開昭63-257860(3)

101A, 101B(以下、SiO端子という)、シリアルクロック入出力端子102A, 102B(以下、SCK端子という)、シフトレジスタ103A, 103B、シリアルクロックをカウントするクロックカウンタ105A, 105B及び制御ゲート等を含んでいる。クロックカウンタ105A, 105Bはシリアルクロックを計数するカウンタでシリアルクロックを8パルス計数するとハイレベルを出力する。

シリアルデータ処理装置Aがシリアルデータ処理装置Bにクロック及びデータを送出し、8ビットデータ転送終了に引きつづきACK信号をシリアルデータ処理装置Bが出力する例を用いて動作を説明する。ここではシフトレジスタ103Aには送信データがあらかじめ格納され、クロックソース選択フラグ106Aはハイレベルに設定して内部のクロックソース105Aが選択され、受信フラグ113Aはロウレベル、クロックソース選択フラグ106Bはロウレベル、受信フラグ113Bはハイレベルに設定してあるものとする。クロックソース111Aより発生されるシリアルクロ

ックはクロックカウンタ105A及びシフトレジスタ103Aへ供給され、同時にSCK端子102Aを經由してSCK端子102Bを駆動する。シフトレジスタ103Aはシリアルクロックに同期してシフトレジスタ103A内のデータをシフトする。この時クロックカウンタ105Aの出力はロウレベルで、オアゲート112Aの出力はロウレベルなので、インバータ110A出力はハイレベルとなり、ナンドゲート108Aの出力はシフトレジスタ103A出力の反転データとなり、出力バッファ122AのPチャンネルトランジスタを駆動する。

一方、ノアゲート114Aの出力は、オアゲート112Aの出力がロウレベルなのでシフトレジスタ103A出力の反転データとなる。ACK出力を制御するACK出力部104Aは、ACK出力を行なわない時にはロウレベルとなっているため、オアゲート109Aの出力はシフトレジスタ103A出力の反転データとなり、出力バッファ122AのNチャンネルトランジスタを駆動する。

したがってデータがハイレベルのときはPチャンネルトランジスタがオン、Nチャンネルトランジスタがオフし、又データがロウレベルのときはPチャンネルトランジスタがオフ、Nチャンネルトランジスタがオンするいわゆるプッシュプル駆動となり、データラインはハイ方向及びロウ方向の遷移も高速に行なわれる。したがってシリアルデータの転送速度はたとえば1MHz程度まで上げることができるようになる。

出力バッファ122Aの出力はSiO端子101Aに出力され、以後同様に8ビットのシフトレジスタ103A値が順次シフトアウトされる。8ビットデータがシフトアウトするまではクロックカウンタ105A出力はロウレベルであるためナンドゲート120A出力はハイレベルとなり、したがって高抵抗のプルアップ抵抗として用いられるPチャンネルトランジスタ116Aはオフ状態である。これにより、出力データがロウレベルであってもPチャンネルトランジスタ116Aから出力バッファ122AのNチャンネルトランジスタを

經由して電流が流れることはない。

シリアルデータ処理装置BはSCK端子102Bに供給されるシリアルクロックを入力バッファ118Bを介してシフトレジスタ103Bへ入力し、シリアルクロックに同期して、入力バッファ117Bを經由したSiO端子101Bレベルをシフトレジスタ103Bに順次シフトインする。この際、受信フラグ113Bはあらかじめハイレベルに設定してあるので、出力バッファ122BのNチャンネル及びPチャンネルの各トランジスタは、ACK出力部104Bを制御するまでオフ状態であり、SiO端子101Bを駆動することはない。又プルアップ用Pチャンネルトランジスタ116Bは、クロック選択フラグ106Bがロウレベルに設定してあるためナンドゲート120Bの制御によりオフ状態となっている。

クロックカウンタ105Aがシリアルクロックを8パルス計数すると、クロックカウンタ105A出力はハイレベルとなり、したがってオアゲート112Aはハイレベルとなるため、ノアゲート114

## 特開昭63-257860 (4)

A出力は無条件にロウレベルとなる。送信側はACK制御は行わないため、ACK出力部104A出力はロウレベルであるのでオアゲート109A出力はロウレベルとなり、又ナンドゲート108A出力は無条件にハイレベルとなるので出力バッファ122AのNチャンネル及びPチャンネルトランジスタはともにオフ状態となる。この時点でシリアルデータラインは駆動されない状態となり、ACK信号を伝達できるようになる。この時さらにクロックカウンタ105A出力はナンドゲート120AをゲートするためPチャンネルトランジスタ116Aはオンし、SiO端子101Aにはプルアップ抵抗が付加された状態となる。

次に上記動作を第2図を参照して説明する。SiO端子出力201AはSiO端子出力101A出力を、SCK端子出力202AはSCK端子102A出力を示している。SiO端子出力202AはSCK端子201A出力に同期して変化し、クロックカウンタ105Aが8パルス計数する図中18タイミングまでシフトレジスタ103Aに格納されてい

たデータでプッシュ・プル駆動される。18タイミングとなると、クロックカウンタ105A出力がハイレベルとなるため、出力バッファ122Aはハイインピーダンス状態となるので、受信側であるシリアルデータ処理装置Bは、ACK出力部104Bを制御し、オアゲート109Bをハイレベルとして、出力バッファ122BのNチャンネルトランジスタのみをオンさせることによりシリアルデータラインをロウレベルにプルダウンする。この動作は図中受信側LSIACK信号203Bで示している。シリアルデータラインはSiO端子出力201Aと受信側LSIACK信号203Bを合成した波形となる。シリアルデータラインがロウレベルとなったことを送信側のACK検出部115Aは入力バッファ117Aを介して検出し、シリアルデータ処理装置Aは受信動作が正常に行なわれたことを確認することができる。

前述の例ではシリアルデータ処理装置Aがシリアルクロックを出力する場合の動作を示したが、クロックソース選択フラグ106Aをロウ、クロ

ック選択フラグ106Bをハイレベルとし、受信側シリアルデータ処理装置Bがシリアルクロックを供給する場合でも、シリアルクロックの供給源及びシリアルデータラインをプルアップするシリアルデータ処理装置が変わるだけで内部回路の動作は全く同様である。

## 〔実施例2〕

第1の実施例では第2図に示したように受信側のシリアルデータ処理装置は8ビットのデータを受信した直後にシリアルクロックの立下りに同期して必ずACK信号を出力するというプロトコルの例を上げたが、第2の実施例ではACK信号をデータ受信後直ちに出力せずに遅延を持って出力するプロトコルを第1の実施例と同様の構成により実現するものである。

ACK信号が遅延を持って出力されるプロトコルでは送信側のシリアルデータ処理装置は8ビットデータ出力後、SiO端子をプッシュ・プル駆動によりハイレベルまで引き上げた状態で、シリアルデータラインをACK信号出力のために受信側

シリアルデータ処理装置に引き渡すことができる。第2の実施例でも構成は同様であるので動作は第1図、タイミングは第3図を参照して第1の実施例と動作の異なる部分のみを説明する。ここでもシリアルデータをシリアルデータ処理装置Aからシリアルデータ処理装置Bへ転送し、ACK信号を、シリアルデータ処理装置Aへ出力する例を示す。本実施例ではクロックカウンタ105Aはシリアルクロックを9パルス計数したときにハイレベルを出力する。したがって第3図中19タイミングまで出力バッファ122AはSiO端子101Aをプッシュ・プル駆動し、8ビットデータ出力後シリアルデータラインをハイレベルまで引き上げた状態で、出力バッファ122AのPチャンネル及びNチャンネルのトランジスタをオフする。その時シリアルデータラインはクロックカウンタ105Aの出力がハイレベルとなっているのでナンドゲート120Aをゲートし、Pチャンネルトランジスタ116Aをオンさせるので高抵抗でプルアップされた状態となる。受信側のシリアル

## 特開昭63-257860 (5)

ルデータ処理装置BはACK信号19タイミングの後シリアルクロックの立下りに同期して出力する。第3図中受信側LSI ACK信号303B波形は1シリアルクロック後に出力されたACK信号を示している。実際のシリアルデータライン上の波形はSiO端子出力302A及び受信側LSI ACK信号303Bを合成したシリアルデータライン304の波形となる。以上述べたように本発明ではクロックカウンタ105Aがハイレベルとなるクロック数を制御することで多くのプロトコルにも応用できる。

## 〔発明の効果〕

以上説明してきたように本発明ではシリアルデータ伝送中はシリアルデータラインをプッシュプル駆動し、データ送出後はデータラインをハイインピーダンス状態に設定することで高速にシリアルデータの転送を可能とすると同時に、シリアルデータラインを用いて受信確認等の情報授受が可能なシリアルデータ処理装置を供給することができる。

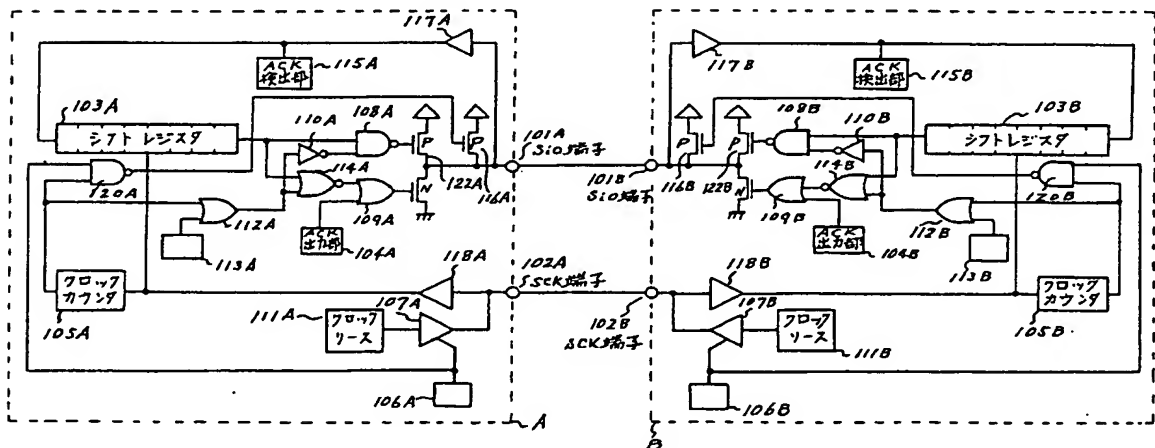
又、本発明ではシリアルデータラインを用いた例を示したが、シリアルクロックラインをオープンドレイン形式で駆動して、シリアルクロックラインを用いて受信確認等の情報授受を行なっているシステムにも同様に適用することができることは明らかである。

## 4. 図面の簡単な説明

第1図は本発明の第1の実施例を示すブロック図であり、第2図はそのタイミングチャート、第3図は第2の実施例を示すタイミングチャートである。

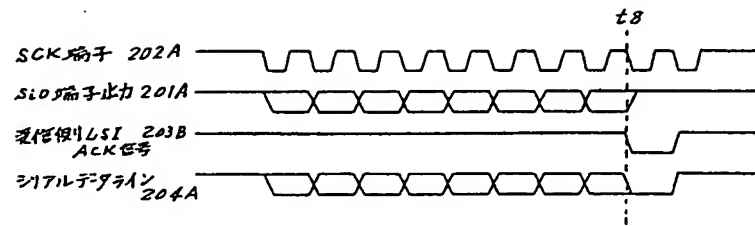
101A, B……SiO端子、102A, B……BCK端子、103A, B……シフトレジスタ、105A, B……クロックカウンタ、108A, B……ナンドゲート、109A, B……ノアゲート、110A, B……インバータ、112A, B……オアゲート、122A, B……出力バッファ、116A, B……Pチャンネルトランジスタ。

代理人 弁理士 内 原 晋

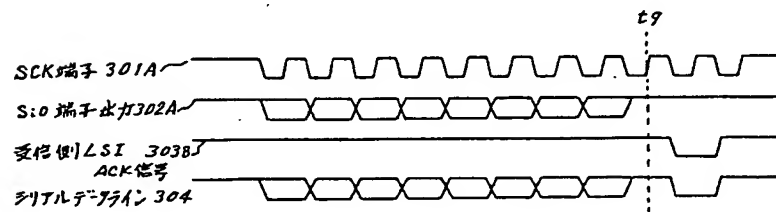


第 1 図

特開昭63-257860(6)



第 2 図



第 3 図